

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0039

Applicant: Chang Rock SONG et al. Confirmation No.:  
Appl. No.: Unassigned Examiner: Unassigned  
Filing Date: Concurrently Herewith Art Unit: Unassigned  
Title: METHOD FOR MANUFACTURING A CAPACITOR OF A  
SEMICONDUCTOR DEVICE

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

**Korean Patent Application No. 10-2003-0009756 filed February 17, 2003**

Respectfully submitted,

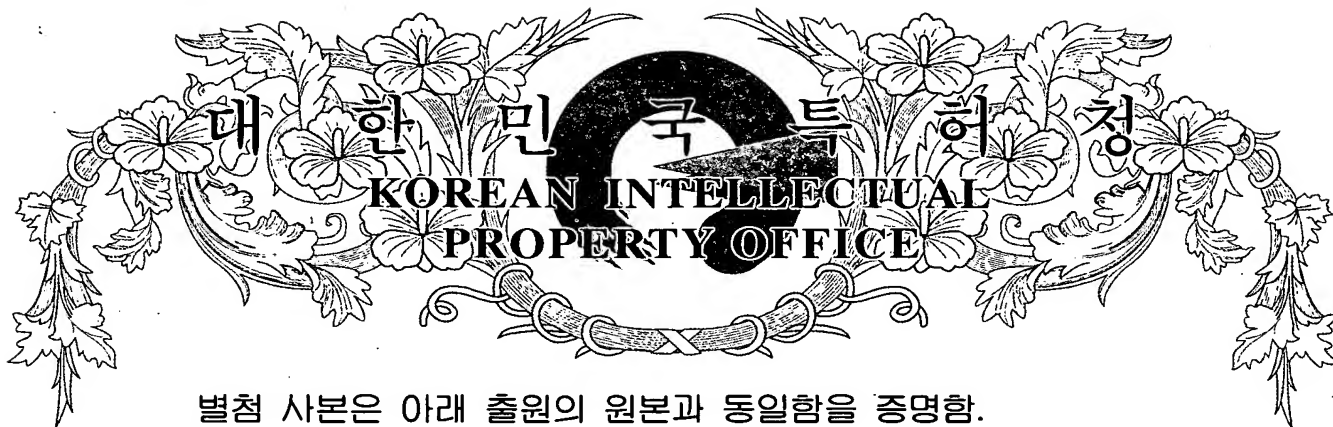
Date: 11-26-03

HELLER EHRMAN WHITE &  
MCAULIFFE  
1666 K Street, N.W., Suite 300  
Washington, DC 20006  
Telephone: (202) 912-2000  
Facsimile: (202) 912-2020

By  33715

for Johnny A. Kumar

Attorney for Applicant  
Registration No. 34,649  
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0009756  
Application Number

출원 년 월 일 : 2003년 02월 17일  
Date of Application FEB 17, 2003

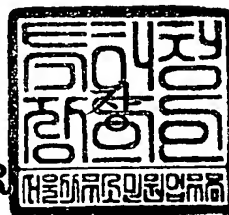
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.02.17
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 캐패시터 제조방법
【발명의 영문명칭】	METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	송창록
【성명의 영문표기】	SONG,Chang Rock
【주민등록번호】	690120-1329111
【우편번호】	467-866
【주소】	경기도 이천시 부발읍 아미3리 148-1 현대사원임대아파트 106동 409 호
【국적】	KR
【발명자】	
【성명의 국문표기】	우상호
【성명의 영문표기】	WOO,Sang Ho
【주민등록번호】	650429-1914513

【우편번호】	467-704
【주소】	경기도 이천시 관고동 194-2 두산아파트 103-2102
【국적】	KR
【발명자】	
【성명의 국문표기】	박동수
【성명의 영문표기】	PARK,Dong Su
【주민등록번호】	720511-1783411
【우편번호】	467-020
【주소】	경기도 이천시 관고동 502-2번지 영우빌라 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	박철환
【성명의 영문표기】	PARK,Cheol Hwan
【주민등록번호】	700820-1657331
【우편번호】	142-103
【주소】	서울특별시 강북구 미아3동 218-7
【국적】	KR
【발명자】	
【성명의 국문표기】	이태혁
【성명의 영문표기】	LEE,Tae Hyeok
【주민등록번호】	710607-1010025
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 101-404
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)
【수수료】	
【기본출원료】	13 면 29,000 원
【가산출원료】	0 면 0 원

【우선권주장료】	0	건	0	원
【심사청구료】	9	항	397,000	원
【합계】	426,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로서, 도핑된 실리콘을 전극으로 사용하고 ONO막을 유전막으로 사용하는 캐패시터에서 두께와 품질이 제어된 산화막에 열처리로 불순물을 도핑한 후, 후속 공정에서 전하저장전극쪽으로 불순물을 확산시켜 실리콘층과 산화막의 계면에 불순물이 위치하도록하였으므로, ONO의 주캐리어인 홀의 공핍층에 의한 홀 전류를 감소시키고, 파괴전압을 증가시켜 절화막의 두께 감소도 가능하여 정전용량이 증가되어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있다.

**【대표도】**

도 1b

**【명세서】****【발명의 명칭】**

반도체소자의 캐패시터 제조방법 {METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1a 내지 도 1d는 본 발명에 따른 반도체소자의 캐패시터 제조공정도.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 층간절연막

12 : 전하저장전극

13 : 자연산화막

14 : 제1산화막

16 : 질화막

18 : 제2산화막

20 : 플레이트전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체소자의 캐패시터 제조방법에 관한 것으로서, 특히 도핑된 실리콘층을 전극물질로 사용하고 산화막-질화막-산화막(이하 ONO라 칭함) 유전막을 사용하는 질화막의 두께를 효과적으로 감소시키고 누설 전류에 의한 파괴 전압등의 소자 특성을 향상시킬 수 있는 반도체소자의 캐패시터 제조방법에 관한 것이다.

<8> 일반적으로 DRAM의 기억 소자에서 캐패시터는 정보를 기억하고 판독하기 위해 일정량의 전하를 저장하는 기능을 수행한다. 따라서 캐패시터는 충분한 정전용량을 확보하여야하고, 누

설전류가 적은 유전체막의 절연 특성을 가져야하며, 장시간 반복사용되는데 대한 신뢰성도 함께 지니고 있어야한다.

- <9> 소자가 고집적화되어감에 따라 단위 소자의 할당 면적이 감소되므로 캐패시터의 정전용량 확보가 점차 어려워지고 있으며, 이를 위하여 캐패시터의 높이는 증가되고, 인접 셀과의 공정 마진도 감소되고 있다.
- <10> DRAM 소자에서 셀 내의 캐패시터는 대략 25fF 정도의 캐패시턴스를 확보하여야하는데, 캐패시터의 정전용량은 표면적에 비례하고, 유전막의 두께에 반비례하므로, 표면적을 증가시키거나, 유전물질을 개량하는 방향으로 연구되고 있다.
- <11> 유전물질 개량에 있어서는, 초기에는 유전률이 3.8인 산화막에서 유전률 7인 질화막을 사용하다가 현재 256M 이상의 소자에서는  $Ta_2O_5$ ,  $Al_2O_3$  또는  $HfO_2$  등의 새로운 유전물질이 적용되고 있으며, 캐패시터의 구조에서는 초기 스택 구조에서 고집적화로 스택이 힘들어지자 전하저장전극의 면적은 1.7~2배정도 증가시키는 MPS를 컨케이브형이나 실린더형 구조에 적용하고 있다.
- <12> 도시되어있지는 않으나, 종래 기술에 따른 반도체소자의 캐패시터 제조방법을 도핑된 실리콘층을 전극으로 사용하는 캐패시터의 예로 설명하면 다음과 같다.
- <13> 먼저, 반도체 기판상에 전하저장전극 콘택 플러그를 구비하는 층간절연막을 형성하고, 상기 층간절연막상에 전하저장전극을 형성한 후, 상기 전하저장전극 표면의 자연산화막을 HF 계열의 세정용액으로 제거하고,  $O_2$ ,  $H_2O$  또는  $O_3$  분위기에서 제1산화막을 형성한다. 상기 제1산화막은  $NH_4OH$ 와  $H_2O_2$  혼합물 계열의 세정용액을 사용하여 습식으로 형성할 수도 있다.



- <14> 그다음 상기 제1산화막상에 질화막을 형성하고, 다시 H<sub>2</sub>O 분위기에서 상기 질화막을 산화시켜 제2산화막을 형성한 후에 플레이트전극을 도핑된 실리콘으로 형성한다.
- <15> 상기와 같은 종래 기술에 따른 반도체소자의 캐패시터 제조방법은,
- <16> 도핑된 실리콘을 전극으로 사용하고 유전막으로 ONO 구조를 사용하는 캐패시터에서 HF 계열의 세정용액으로 전하저장전극의 자연산화막을 제거하는 공정시 도핑된 실리콘의 표면의 도펀트가 함께 제거되어 하부전극에서의 전하 공핍이 발생하며, 유전율을 높이기 위하여 질화막의 두께를 감소시키면 파괴전압이 낮아지는 문제점이 있다.
- <17> 또한 이러한 문제점은 실린더형 캐패시터에서 더욱 크게 발생하는데, 이는 거꾸집 산화막을 제거하기 위한 식각 공정시 실린더형 전하저장전극의 표면이 장시간 노출되어 도펀트가 손실되기 때문이다.

**【발명이 이루고자 하는 기술적 과제】**

- <18> 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은
- <19> 전하저장전극 표면의 자연산화막을 제거하는 공정시에 유실되는 도펀트를 보충하는 열처리 공정을 추가하여 전하저장전극의 전하공핍 현상을 방지하여 파괴전압 저하를 방지하고, 질화막의 두께를 감소시킬 수 있는 반도체소자의 캐패시터 제조방법을 제공함에 있다.

**【발명의 구성 및 작용】**

- <20> 본발명은 상기와 같은 목적을 달성하기 위한 것으로서, 본 발명에 따른 반도체소자의 캐패시터 제조방법의 특징은,
- <21> 도핑된 실리콘을 전극물질로 사용하고, ONO구조의 유전막을 사용하는 반도체소자의 캐패시터 제조방법에 있어서,

- <22> 반도체기판상에 층간절연막을 형성하는 공정과,
- <23> 상기 층간절연막상에 도핑된 실리콘으로 전하저장전극을 형성하는 공정과,
- <24> 상기 전하저장전극 상에 제1산화막을 형성하는 공정과,
- <25> 상기 구조의 반도체기판을 불순물을 포함하는 가스 분위기에서 열처리하여 불순물을 상기 제1산화막에 주입시키는 공정과,
- <26> 상기 제1산화막상에 질화막을 형성하는 공정과,
- <27> 상기 질화막상에 제2산화막을 형성하는 공정을 구비함에 있다.
- <28> 또한 본 발명의 다른 특징은, 상기 전하저장전극은 n형 불순물이  $1E20 \sim 5E21/cm^3$  의 농도로 도핑된 실리콘으로 형성되며, 상기 제1산화막 형성전에 전하저장전극 표면의 자연산화막 제거 공정을 구비하거나, 상기 제1산화막을  $5 \sim 25 \text{ \AA}$  두께로 형성하며, 상기 제1산화막은 습식방법으로 상온 $\sim 80^\circ\text{C}$ 에서,  $\text{NH}_4\text{OH}$ 와  $\text{H}_2\text{O}_2$  혼합 수용액에 1 $\sim 10$ 분간 담그어 형성하거나, 산소를 함유하는 기체 분위기에서  $500 \sim 800^\circ\text{C}$ 에서,  $0.05 \sim 760\text{Torr}$ 에서 3 $\sim 120$ 분 동안 열처리하여 형성하는 것을 특징으로 한다.
- <29> 또한 본 발명의 또 다른 특징은, 상기 열처리 공정은  $\text{PH}_3$  또는  $\text{AsH}_3$  의 단독 또는 혼합 분위기 또는 불활성 가스와 혼합한 분위기에서,  $500 \sim 800^\circ\text{C}$ 에서,  $0.05 \sim 760\text{Torr}$ 에서 3 $\sim 180$ 분 동안 열처리하여 형성하고, 상기 질화막은  $30 \sim 60 \text{ \AA}$  두께로 형성하며, 상기 질화막은  $\text{SiH}_4/\text{NH}_3$  또는  $\text{SiH}_2\text{Cl}_2/\text{NH}_3$  의 혼합 가스 분위기에서, 상기 고온열처리 보다 높은 온도인  $600 \sim 800^\circ\text{C}$ 에서,  $0.05 \sim 2\text{Torr}$ 에서 화학기상증착 방법으로 형성하거나,  $\text{NH}_3$  단독이나 Ar 또는  $\text{N}_2$  가스와의 혼합 가스 분위기에서 상기 고온열처리 보다 높은 온도,  $600 \sim 800^\circ\text{C}$ 에서,  $0.05 \sim 760\text{Torr}$ 에서

상기 제1산화막을 질화시켜 형성하거나, 두가지 방법을 혼용하여 두차례에 걸쳐 형성하는 것을 특징으로 한다.

<30> 또한 상기 제2산화막은 산소원자를 포함하는 기체 분위기에서  $650\sim 800^{\circ}\text{C}$ 에서,  $0.05\sim 760\text{Torr}$ 에서  $3\sim 120$ 분 동안 열처리하여 형성하되, 두께는 HF를 포함하는 수용액을 이용하여 세정된 단결정 웨이퍼 상에  $50\sim 500\text{\AA}$ 의 두께가 형성되는 정도로 형성하는 것을 특징으로 한다.

<31> 이하, 본 발명에 따른 반도체소자의 캐패시터 제조방법에 관하여 첨부도면을 참조하여 상세히 설명하면 다음과 같다.

<32> 도 1a 내지 도 1d는 본 발명에 따른 반도체소자의 캐패시터 제조 공정도이다.

<33> 먼저, 전하저장전극 형성의 전공정 단계로서, 실리콘 웨이퍼등의 반도체기판상에 소정의 하부 구조물, 예를 들어 소자분리산화막과 MOSFET등을 형성한 후, 전하저장전극용 콘택 플러그를 구비하는 층간절연막(10)을 형성하고, 상기 층간절연막(10)상에 n형 불순물, 예를 들어 P또는 As등이  $1\text{E}20\sim 5\text{E}21/\text{cm}^3$  농도로 도핑된 실리콘으로된 전하저장전극(12)을 형성한다. 이때 상기 전하저장전극(12)의 표면에 자연산화막(13)이 형성된다. (도 1a 참조).

<34> 그다음 상기 자연산화막(13)을 HF 계열의 세정용액으로 제거하고, 상기 전하저장전극(12)상에 제1산화막(14)을  $5\sim 25\text{\AA}$  정도 두께로 형성한 후, 실리콘 보다 높은 원자가를 가지는 n형 불순물을 포함하는 가스 분위기에서 열처리한다. 여기서 상기 제1산화막(14)은 습식방법으로 상온 $\sim 80^{\circ}\text{C}$ 에서,  $\text{NH}_4\text{OH}$ 와  $\text{H}_2\text{O}_2$  혼합 수용액에  $1\sim 10$ 분간 담그어서 화학적인 방법으로 형성하거나, 건식방법으로 산소를 함유하는 기체, 예를 들어  $\text{O}_2$ ,  $\text{H}_2\text{O}$ ,  $\text{N}_2\text{O}$ , NO 또는  $\text{O}_3$ 를 이용하여 단독 또는 혼합 분위기에서, 필요한 경우 Ar등의 불활성 가스와 혼합한 분위기에서,  $500\sim 800$

℃에서, 0.05~760Torr에서 3~120분 동안 열처리하여 형성한다. 또한 상기 고온 열처리 공정  
은 실리콘 보다 높은 원자가를 가지는 n형 분순물, 예를 들어  $\text{PH}_3$  또는  $\text{AsH}_3$  의 단독 또는 혼  
합 분위기에서, 필요한 경우 Ar등의 불활성 가스와 혼합한 분위기에서, 500~800℃에서, 0.05  
~760Torr에서 3~180분 동안 열처리하여 주면, 상기 제1산화막(14)이 불순물 함유 산화 재질,  
예를 들어  $\text{PH}_3$  분위기에서는 PSG로 변환된다. (도 1b 참조).

<35>        그후, 상기 제1산화막(14)상에 질화막(16)을 30~60Å 정도 두께로 형성한 후, 상기 질  
화막(16)상에 제2산화막(18)을 형성한다. 여기서 상기 질화막(16)은  $\text{SiH}_4/\text{NH}_3$  또는  
 $\text{SiH}_2\text{Cl}_2/\text{NH}_3$  등의 혼합 가스 분위기에서, 상기 고온열처리 보다 높은 온도, 예를 들어 600~  
800℃에서, 0.05~2Torr에서 화학기상증착 방법으로 형성하거나,  $\text{NH}_3$  단독이나 Ar 또는  $\text{N}_2$  가  
스와의 혼합 가스 분위기에서 상기 고온열처리 보다 높은 온도, 예를 들어 600~800℃에서,  
0.05~760Torr에서 상기 제1산화막(14)을 질화시켜 형성하거나, 두가지 방법을 혼용하여 두차  
례에 걸쳐 형성할 수도 있다. 상기 질화막(16)이 불순물의 확산 방지 역할을 한다.

<36>        또한 상기 제2산화막(18)은 산소원자를 포함하는 기체, 예를 들어  $\text{O}_2$ ,  $\text{H}_2\text{O}$ ,  $\text{N}_2\text{O}$ , NO 또는  
 $\text{O}_3$  단독 또는 혼합 분위기에서, 필요한 경우 Ar등의 불활성 가스와 혼합한 분위기에서, 650~  
800℃에서, 0.05~760Torr에서 3~120분 동안 열처리하여 형성한다. 이때 상기 제2산화막(18)  
의 두께는 HF를 포함하는 수용액을 이용하여 세정된 단결정 웨이퍼 상에 50~500Å 정도의 두  
께가 형성되는 정도로 형성한다. (도 1c 참조).

<37>        그다음 상기 제2산화막(18)상에 도핑된 실리콘으로 이루어진 플레이트전극(20)을 형성한  
다. (도 1d 참조).

<38> 본발명의 다른 실시예로서, 상기에서는 자연산화막을 제거하고, 후속 공정을 진행하는 것을 예로 들었으나, 제1산화막의 두께를 조절하면 자연산화막을 제거하지 않은 상태에서 후속 공정을 진행하여도 본 발명의 효과를 얻을 수 있다.

**【발명의 효과】**

<39> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체소자의 캐패시터 제조방법은, 도핑된 실리콘을 전극으로 사용하고 ONO막을 유전막으로 사용하는 캐패시터에서 두께와 품질이 제어된 산화막에 열처리로 불순물을 도핑한 후, 후속 공정에서 전하저장전극쪽으로 불순물을 확산시켜 다결정실리콘층과 산화막의 계면에 불순물이 위치하도록 하였으므로, ONO의 주캐리어인 홀의 공핍층에 의한 홀 전류를 감소시키고, 파괴전압을 증가시켜 절화막의 두께 감소도 가능하여 정전용량이 증가되어 공정 수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

**【특허청구범위】****【청구항 1】**

도핑된 실리콘을 전극물질로 사용하고, ONO구조의 유전막을 사용하는 반도체소자의 캐패시터 제조방법에 있어서,

반도체기판상에 층간절연막을 형성하는 공정과,

상기 층간절연막상에 도핑된 실리콘으로 전하저장전극을 형성하는 공정과,

상기 전하저장전극 상에 제1산화막을 형성하는 공정과,

상기 구조의 반도체기판을 n형 불순물을 포함하는 가스 분위기에서 열처리하여 불순물을 상기 제1산화막에 주입시키는 공정과,

상기 제1산화막상에 질화막을 형성하는 공정과,

상기 질화막상에 제2산화막을 형성하는 공정을 구비하는 반도체소자의 캐패시터 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 전하저장전극은 n형 불순물이  $1E20 \sim 5E21/cm^3$  의 농도로 도핑된 실리콘으로 형성되는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 3】**

제 1 항에 있어서,

상기 제1산화막 형성 전에 전하저장전극 표면의 자연산화막 제거 공정을 구비하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 4】**

제 1 항에 있어서,

상기 제1산화막을 5~25Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 5】**

제 1 항에 있어서,

상기 제1산화막을 형성하는 공정은 상온~80℃에서,  $\text{NH}_4\text{OH}$ 와  $\text{H}_2\text{O}_2$  혼합 수용액에 1~10분 간 상기 반도체기판을 담그어 형성하는 습식방법 또는 산소를 함유하는 기체 분위기에서 500~800℃에서, 0.05~760Torr에서 3~120분 동안 상기 반도체기판을 열처리하여 형성하는 검식방법인 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 6】**

제 1 항에 있어서,

또한 상기 열처리 공정은  $\text{PH}_3$  또는  $\text{AsH}_3$  의 단독 또는 혼합 분위기 또는 불활성 가스와 혼합한 분위기에서, 500~800℃에서, 0.05~760Torr에서 3~180분 동안 열처리하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 7】**

제 1 항에 있어서,

상기 질화막은 30~60Å 두께로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 8】**

제 1 항에 있어서,

상기 질화막을 형성하는 공정은  $\text{SiH}_4/\text{NH}_3$  또는  $\text{SiH}_2\text{Cl}_2/\text{NH}_3$  의 혼합 가스 분위기에서, 600~800℃에서, 0.05~2Torr에서 수행되는 화학기상증착 공정,  $\text{NH}_3$  단독이나 Ar 또는  $\text{N}_2$  가스와의 혼합 가스 분위기에서 600~800℃에서, 0.05~760Torr에서 수행하는 상기 제1산화막의 질화 공정 및 상기 화학기상증착 공정 및 질화공정을 혼용하는 방법중 선택된 어느하나의 방법인 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

**【청구항 9】**

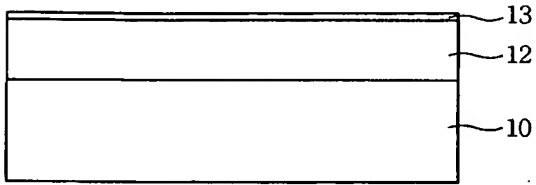
제 1 항에 있어서,

상기 제2산화막은 산소원자를 포함하는 기체 분위기에서 650~800℃에서, 0.05~760Torr에서 3~120분 동안 열처리하여 형성하되, 두께는 HF를 포함하는 수용액을 이용하여 세정된 단결정 웨이퍼 상에 50~500Å 의 두께가 형성되는 정도로 형성하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

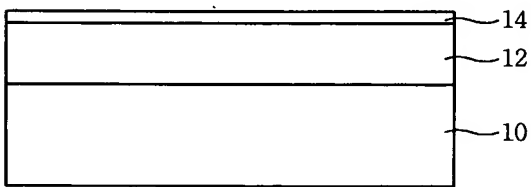


【도면】

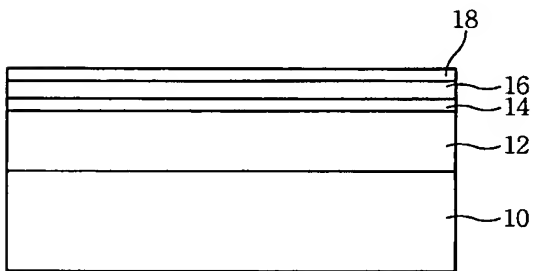
【도 1a】



【도 1b】



【도 1c】



【도 1d】

